

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-013709

(43)Date of publication of application : 22.01.1993

(51)Int.Cl.

H01L 27/108

(21)Application number : 03-165447

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.07.1991

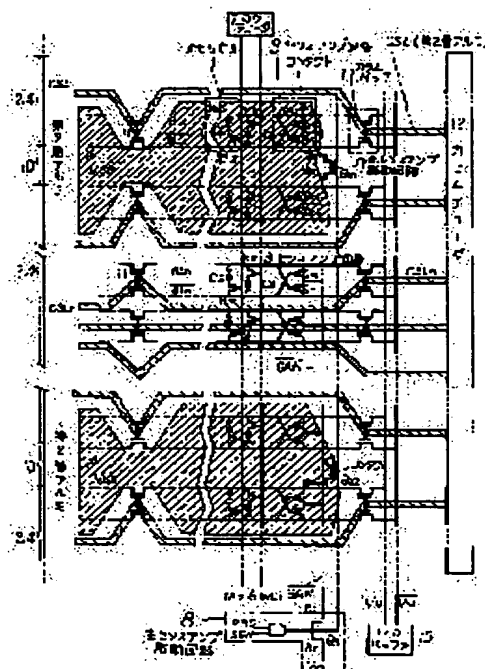
(72)Inventor : IWATA TORU  
YAMAUCHI HIROYUKI

## (54) SEMICONDUCTOR STORAGE DEVICE

## (57)Abstract:

**PURPOSE:** To provide a semiconductor storage device which has such circuit constitution that it reduces the wiring resistance of a bit line discharge path to shorten the sense time of a semiconductor storage device (DRUM) and does not incur the increase of the chip area.

**CONSTITUTION:** A region where the wiring of the same wiring layer as a column switch control line (CSL) becomes possible by narrowing the wiring interval of a column switch control line (CSL) more than the interval of a column switch 11 is provided on a memory cell array region 2, and an earth wire 14 is wired to cover the region and a word line snap region 10, and these and the common source line for a sense amplifier circuit row region 4 are connected through a sub sense amplifier driving circuit, whereby the wiring resistance of a bit line discharge path can be made small without incurring the increase of a chip area.



## LEGAL STATUS

[Date of request for examination]

06.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2887951

[Date of registration]

19.02.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-13709

(43) 公開日 平成5年(1993)1月22日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 27/108

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

H 0 1 L 27/10

3 2 5 N

審査請求 未請求 請求項の数2(全8頁)

(21) 出願番号 特願平3-165447

(22) 出願日 平成3年(1991)7月5日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岩田 徹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 山内 寛行

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

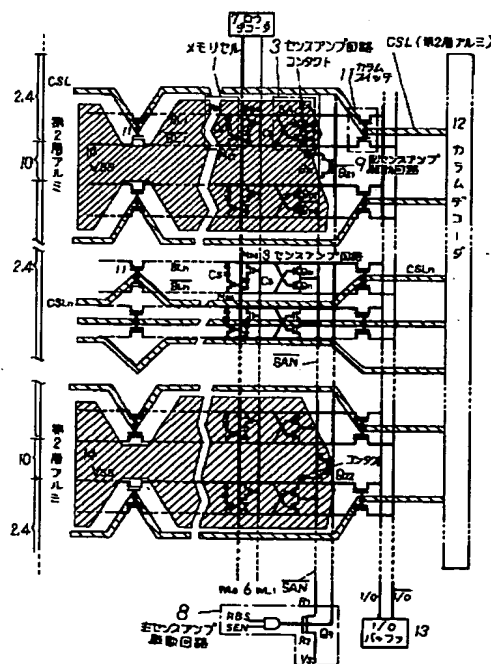
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 本発明は、半導体記憶装置 (DRAM) のセンス時間を短縮するため、ビット線放電回路の配線抵抗を低減し、且つ、チップ面積の増大は招かない回路構成を持つ半導体記憶装置を提供することを目的とする。

【構成】 カラムスイッチ制御線 (CSL) の配線間隔をカラムスイッチ11の間隔より狭くして、カラムスイッチ制御線 (CSL) と同じ配線層の配線が可能となる領域をメモリセルアレイ領域2上に設け、その領域とワード線スナップ領域10を覆うように接地線14を配線し、これらとセンスアンプ回路列領域4の共通ソース線とを副センスアンプ駆動回路9を介して接続することにより、チップ面積の増大は招かずビット線放電回路の配線抵抗を小さくする。



1

## 【特許請求の範囲】

【請求項1】メモリセルと結合したビット線対と、前記ビット線対に接続されたセンスアンプ回路と、前記センスアンプ回路とデータの入出力線とを接続するための第1のスイッチとを有し、前記第1のスイッチを制御する第1の制御線を前記第1のスイッチの配置間隔よりも狭い間隔で配線し、前記センスアンプ回路の共通ソース線を、第2のスイッチを介して第1の電源線、あるいは第3のスイッチを介して第1の接地線と接続し、前記第1の電源線あるいは接地線を前記第1のスイッチを制御する第1の制御線と同じ配線層で、カラムアドレス方向に隣接する2つのメモリセルアレイ領域の境界領域を覆うように配線することを特徴とする半導体記憶装置。

【請求項2】複数のCMOS型のセンスアンプ回路からなるセンスアンプ回路列と、それに対応して配置されたメモリセルアレイと、N型のセンスアンプ回路の共通ソース線と第4のスイッチにより接続された第2の接地線と、P型のセンスアンプ回路の共通ソース線と第5のスイッチにより接続された第2の電源線とを有し、前記第4、第5のスイッチを前記CMOS型のセンスアンプ回路列のそれぞれ異なるカラムアドレス方向の端部に配置し、さらに、前記CMOS型のセンスアンプ回路列とそれに対応して配置された前記メモリセルアレイをカラムアドレス方向に分割し、その分割されたCMOS型のセンスアンプ回路列領域の境界領域から見て、前記第2の接地線、電源線の遠い方と同じ電位を供給する配線を、カラムアドレス方向に隣接する2つの前記分割されたメモリセルアレイ領域の境界領域を覆うように配線することを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体記憶装置に係り、特に高集積化されたDRAM等の半導体記憶装置に関する。

## 【0002】

【従来の技術】MOSトランジスタを集積した半導体記憶装置の中で、DRAMはメモリセル占有面積が小さいため高集積化に最も適している。最近、最小加工寸法0.6 $\mu$ m以下の16MビットDRAMが国内外で発表され、その量産も近い。このような高集積化DRAMにおいて、微細化によるMOSトランジスタのスイッチング速度の向上のみで高速性を追求することは限界にきており、高速性に対する一層の改善が求められている。DRAMの高速化にとって大きな障害になっているものの一つに、センスアンプのセンス時間がある。センス時間はメモリアレイに書き込んだデータパターンに大きく影響され、最もセンス時間が長くなるデータパターンによってアクセスタイムが規定される。この事情については特開平3-16082号公報に説明されている。この公報に記載の構成は、ビット線からの放電電流パスを多方向に設け

2

ることにより放電回路の配線抵抗を等価的に低減し、ビット線放電回路のクランプ電位を下げるができるので、ビット線放電時定数が小さくなり、センス時間の短縮が可能となるというものである。

【0003】以下にこの従来の発明について図面を参照して詳細に説明する。図4はこの発明のDRAMのセンスアンプを中心としたコア回路部の構成を示している。ビット線対BL、/BL (BL<sub>0</sub>、/BL<sub>0</sub>、BL<sub>1</sub>、/BL<sub>1</sub>、…)とワード線WL (WL<sub>0</sub>、WL<sub>1</sub>、…)が交差配置され、その各交差位置にメモリセルM (M<sub>11</sub>、M<sub>12</sub>、…)1が配置されている。各ビット線対BL、/BLはMOSトランジスタ(Q<sub>1</sub>、Q<sub>2</sub>)、(Q<sub>3</sub>、Q<sub>4</sub>)、…から成るダイナミック型センスアンプ回路SA (SA<sub>1</sub>、SA<sub>2</sub>、…)3と接続されており、MOSトランジスタ(Q<sub>11</sub>、Q<sub>12</sub>)、(Q<sub>13</sub>、Q<sub>14</sub>)、…からなるカラムスイッチ11を介して入出力線I/O、/I/Oに接続されている。カラムスイッチ11は、カラムデコーダ12の出力につながるカラム選択線CSL (CSL<sub>0</sub>、CSL<sub>1</sub>、…)の信号により駆動される。センスアンプ回路3のMOSトランジスタの共通ソース配線/SANは、センスアンプ回路SAを駆動するための、MOSトランジスタQ<sub>9</sub>を主構成要素とする主センスアンプ駆動回路8および、MOSトランジスタ(Q<sub>21</sub>、Q<sub>22</sub>、…)を主構成要素とする副センスアンプ駆動回路9に接続されている。これらのセンスアンプ駆動回路は、メモリ領域の端部に配置された主センスアンプ駆動回路8内に設けられたロウブロック選択信号RBSおよびセンスアンプ活性化信号SENを入力とする論理回路により制御される。主センスアンプ駆動回路8内の駆動回路活性化用MOSトランジスタQ<sub>9</sub>のソース線は接地されている。また、副センスアンプ駆動回路9は2つのセンスアンプ回路領域に挟まれた空間に配置され、この駆動回路内の駆動回路活性化用MOSトランジスタQ<sub>21</sub>、Q<sub>22</sub>のソース線はビット線と平行にワード線スナップ領域10を通過して接地されている。

【0004】ここで、/SANの抵抗値としては、主センスアンプ駆動回路8の駆動トランジスタQ<sub>9</sub>および副センスアンプ駆動回路9の駆動トランジスタQ<sub>21</sub>、Q<sub>22</sub>のオン抵抗、並びに/SANの配線抵抗R<sub>1</sub>、R<sub>2</sub>、R<sub>21</sub>、R<sub>22</sub>が考えられる。前者トランジスタのオン抵抗は主に各トランジスタのゲート幅により決まる。主センスアンプ駆動回路8の駆動トランジスタQ<sub>9</sub>のゲート幅に比べて、副センスアンプ駆動回路9の駆動トランジスタQ<sub>21</sub>、Q<sub>22</sub>のゲート幅はレイアウト面積上大きくできないため、Q<sub>21</sub>、Q<sub>22</sub>個々のオン抵抗はQ<sub>9</sub>のオン抵抗と比べて大きくなる。しかし、DRAMの高集積化に伴いワード線が長くなり、ワード線1本当りのスナップ領域10も多くなるので、副センスアンプ駆動回路9を多数設けることができ、そこに設けられた副センスアンプ駆動回路9の並列に配置された駆動トランジスタQ<sub>21</sub>、

$Q_{21}$ 、…の合計オン抵抗は小さくすることが可能となる。また、副センスアンプ駆動回路9の配線抵抗についても、主センスアンプ駆動回路8部分にくらべて副センスアンプ駆動回路9部分は配線幅も細く、配線長も長い。ため、駆動トランジスタのオン抵抗の場合と同様に  $R_{21}$ 、 $R_{22}$ 、…個々の値は  $R_1$ 、 $R_2$  と比べて大きくなるが、並列に多数配線することにより合計の配線抵抗を小さくすることは可能であり、ビット線放電回路の放電時定数を小さくできる。

#### 【0005】

【発明が解決しようとする課題】しかしながら、さらなる高速化の要求から、センス時間の一層の短縮をしようと思えば、従来技術のようにビット線放電回路をワード線のスナップ領域10にのみ設けていたのでは、その面積から判断して抵抗値を十分小さくできない可能性がある。

【0006】本発明はこのような課題に鑑みてなされ、ビット線放電回路の放電時定数を十分に小さくしてセンス時間のいっそうの短縮をはかった半導体記憶装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】本発明はメモリセルと結合したビット線対と、前記ビット線対に接続されたセンスアンプ回路と、前記センスアンプ回路とデータの出入力線とを接続するための第1のスイッチとを有し、前記第1のスイッチを制御する第1の制御線を前記第1のスイッチの配置間隔よりも狭い間隔で配線し、前記センスアンプ回路の共通ソース線を、第2のスイッチを介して第1の電源線、あるいは第3のスイッチを介して第1の接地線と接続し、前記第1の電源線あるいは接地線を前記第1のスイッチを制御する第1の制御線と同じ配線層で、カラムアドレス方向に隣接する2つのメモリセルアレイ領域の境界領域を覆うように配線することを特徴とする半導体記憶装置である。

【0008】第2の発明は、複数のCMOS型のセンスアンプ回路からなるセンスアンプ回路列と、それに対応して配置された前記メモリセルアレイと、N型のセンスアンプ回路の共通ソース線と第4のスイッチにより接続された第2の接地線と、P型のセンスアンプ回路の共通ソース線と第5のスイッチにより接続された第2の電源線とを有し、前記第4、第5のスイッチを前記CMOS型のセンスアンプ回路列のそれぞれ異なるカラムアドレス方向の端部に配置し、さらに、前記CMOS型のセンスアンプ回路列とそれに対応して配置された前記メモリセルアレイをカラムアドレス方向に分割し、その分割されたCMOS型のセンスアンプ回路列領域の境界領域から見て、前記第2の接地線、電源線の違いと同じ電位を供給する配線を、カラムアドレス方向に隣接する2つの前記分割されたメモリセルアレイ領域の境界領域を覆うように配線することを特徴とする半導体記憶装置であ

る。

#### 【0009】

【作用】本発明では、メモリセル領域に配置されている第1の制御線の配線間隔をカラムスイッチの配置間隔よりも狭くすることにより、メモリセル領域にもビット線放電回路を設置できるスペースを設け、ビット線電荷の放電回路をワード線スナップ領域だけでなく、ワード線スナップ領域からメモリセル領域まで拡げて配置するのでさらに配線抵抗が低減できるため、放電時定数を小さくできる。従って、センスアンプ回路に係るセンス時間の短縮が可能となる。

#### 【0010】

【実施例】（実施例1）図1は本発明の第1の実施例の構成によるDRAMの平面図であり、図1(a)は複数のメモリセルよりなるメモリセルアレイ領域2とセンスアンプ回路よりなるセンスアンプ回路列領域4とをマトリクス状に配列したメモリ領域を示している。DRAMのデータの出入力は、ロウデコーダ7によりワード6線が選択され、カラムデコーダ12により、カラムスイッチ制御線CSLが選択され、MOSTランジスタによるカラムスイッチのうち選択されたカラムスイッチ制御線CSLにより制御されるものがオンとなり、ビット線が入出力線につながれることにより行われる。カラムスイッチ制御線CSLは普通、カラムスイッチの配置間隔で配線されているが、カラムスイッチであるMOSTランジスタのゲートに選択信号が入力されればよいだけなので、メモリセルアレイ領域2上ではカラムスイッチ制御線CSLがカラムスイッチの配置間隔より狭めて配線されている。

【0011】近年のDRAMでは、ワード線の線幅が細くなることによる遅延を防ぐために、ワード線と並列に金属配線を配線し、適当な間隔ごとにワード線とのコンタクトをとっている。このコンタクトをとるための領域をワード線スナップ領域10と呼ぶ。メモリ領域はワード線スナップ領域10によりメモリセルアレイ領域2に分割され、それに合わせてセンスアンプ回路列もセンスアンプ回路列領域4として分割配置される。従来では、メモリセルアレイ領域2上はカラムスイッチの間隔でカラムスイッチ制御線CSLが配線されていたので、ワード線スナップ領域10にのみ、カラムスイッチ制御線CSLと同じ配線層を使った配線（例えば第2層アルミ）が可能であった。しかしながら、本発明の構成によれば、ワード線スナップ領域10上のみでなくメモリセルアレイ領域2上の一部にもカラムスイッチ制御線CSLと同じ配線層の配線が可能である。

【0012】図1(b)は図1(a)の斜線部分の拡大図である。センスアンプ回路列領域4のカラムスイッチ配置間隔 $l_2$ より狭い間隔 $l_1$ でカラムスイッチ制御線CSLが配線してあり、ワード線スナップ領域10のみでなくメモリセルアレイ領域2にもカラムスイッチ制御線

CSLと同じ配線層（例えば第2層アルミ）の配線可能領域が設けられることを示している。なお、図1(a)ではカラムスイッチ制御線CSLがメモリセルアレイ領域2に対して5本配線されているように示してあるが、実際には数十本、メモリセル領域2に対して配線されている。

【0013】図2は本発明の第1の実施例の構成によるセンスアンプを中心とした回路構成図である。

【0014】NMOS型センスアンプ回路3がセンスアンプを駆動するための駆動回路と接続されており、このセンスアンプ駆動回路は、メモリ領域の端部に設けられた主センスアンプ駆動回路8と、センスアンプ回路列領域4の端部に設けられた副センスアンプ駆動回路9により構成されている。主センスアンプ駆動回路8は、ロウブロック選択信号RBSとセンスアンプ活性化信号SENとの論理積をとるための論理回路およびその論理演算の結果オンとなるMOSTランジスタスイッチ $Q_9$ により構成されている。副センスアンプ駆動回路9はスイッチ $Q_9$ に同調してオンとなるMOSTランジスタスイッチ $Q_{21}$ 、 $Q_{22}$ 、…により構成されている。

【0015】読みだし動作においては、まず、ワード線6が選択され、選択されたワード線につながるメモリセル1の電荷がビット線に読みだされ、次に主、副センスアンプ駆動回路8、9のMOSTランジスタスイッチ $Q_9$ 、 $Q_{21}$ 、 $Q_{22}$ …がオンすることによりセンスアンプ回路3が活性化されて、ビット線BL、/BLの電位差が増幅される。ビット線BL、/BLはカラムスイッチ11を介してそれぞれ入出力線I/O、/I/Oに接続されており、カラムデコーダ12によって選択されたカラムスイッチ制御線CSLと接続されているカラムスイッチのみがオンとなり、ビット線の電位が入出力線に出力され、I/Oバッファ13に入力される。

【0016】センス時間を短縮するにはビット線放電路/SANの配線抵抗を小さくすればよい。副センスアンプ駆動回路9のソース線はカラムスイッチ制御線CSLと同じ配線層（例えば第2層アルミ）で配線された $V_{ss}$ 接地線14に接続されており、カラムスイッチ制御線CSLをメモリセルアレイ領域2の中心に向かって、カラムスイッチの配置間隔より狭めて配線すると、メモリセルアレイ領域2の端部には、カラムスイッチ制御線CSLと同じ配線層を配線できる領域ができ、 $V_{ss}$ 接地線14がワード線スナッチ領域10とその上下のメモリセルアレイ領域2の端部を覆って配線されている。

【0017】このように $V_{ss}$ 接地線14を配線すれば、チップ面積を増加させることなくビット線放電路/SANの配線抵抗を従来より低くおさえることが可能である。なお、副センスアンプ駆動回路9の構成要素であるMOSTランジスタ $Q_{21}$ 、 $Q_{22}$ 、…は分割配置されたセンスアンプ回路列領域4の間に設置されるのでチップ面積の増大を招くことはない。

【0018】（実施例2）図3は本発明の第2の実施例の構成によるCMOS型センスアンプを中心とした回路構成図である。

【0019】CMOS型センスアンプ回路はN型センスアンプ回路3nとP型センスアンプ回路3pにより構成され、それぞれの共通ソース配線/SANはそれぞれ主センスアンプ駆動回路8n、8pに接続されている。この構成では、主センスアンプ駆動回路から遠いビット線ほど、放電路の配線抵抗が大きくなり、電圧のクランプが問題となる。

【0020】これを解決するには、N型、P型センスアンプ回路3n、3pそれぞれの共通ソース配線/SANに副センスアンプ駆動回路9n、9pを接続し、ワード線スナッチ領域10に $V_{ss}$ 接地線14と $V_{cc}$ 電源線15をそれぞれ配線すればよいが、2つのセンスアンプ回路列領域4とメモリセルアレイ領域2の間に副センスアンプ駆動回路9n、9pと $V_{ss}$ 接地線14、 $V_{cc}$ 電源線15を配線する場合、チップ面積の増大の可能性も考えなければならない。そこで、主センスアンプ駆動回路から遠いビット線の放電路の配線抵抗を効率よく小さくする構成を図3に示す。主センスアンプ駆動回路8n、8pがメモリ領域の両端に配設され、主センスアンプ駆動回路8nから遠い、2つのセンスアンプ回路列領域4の間に、副センスアンプ駆動回路9nを設置し、主センスアンプ駆動回路8pから遠い、2つのセンスアンプ回路列領域4の間に、副センスアンプ駆動回路9pを設置する。副センスアンプ駆動回路9nには $V_{ss}$ 接地線14が接続され、副センスアンプ駆動回路9pには $V_{cc}$ 電源線15が接続される。その他の構成は図2の場合と同様である。

【0021】なお、第1の実施例ではNMOS型のセンスアンプ回路を用いて述べてきたが、PMOS型センスアンプを用いることも可能である。基本的には同じ回路構成でよいが、副センスアンプ駆動回路に接続されるのが $V_{ss}$ 接地線ではなく $V_{cc}$ 電源線となる。

【0022】さらに、カラム制御線CSLをカラムスイッチの間隔より狭めて配線する場合、メモリセルアレイ領域2の中心に向かって狭める必要はなく、メモリセルアレイの任意の位置に向かって狭めてもよい。

【0023】

【発明の効果】本発明によれば、ビット線放電路の接地線、電源線を、ワード線スナッチ領域だけでなくメモリセル領域の端部を覆うように配線することにより、チップ面積を増加させることなくビット線放電路の配線抵抗を低減でき、従来とくらべてセンス時間が短縮され、高速なDRAMを得ることができる。

【図面の簡単な説明】

【図1】本発明における実施例1の半導体記憶装置の構成図

【図2】同実施例の半導体記憶装置のセンスアンプを中

心とした回路構成図

【図3】本発明における実施例2の半導体記憶装置のC MOS型センスアンプを中心とした回路構成図

【図4】従来の半導体記憶装置のセンスアンプ回路を中心とした回路構成図

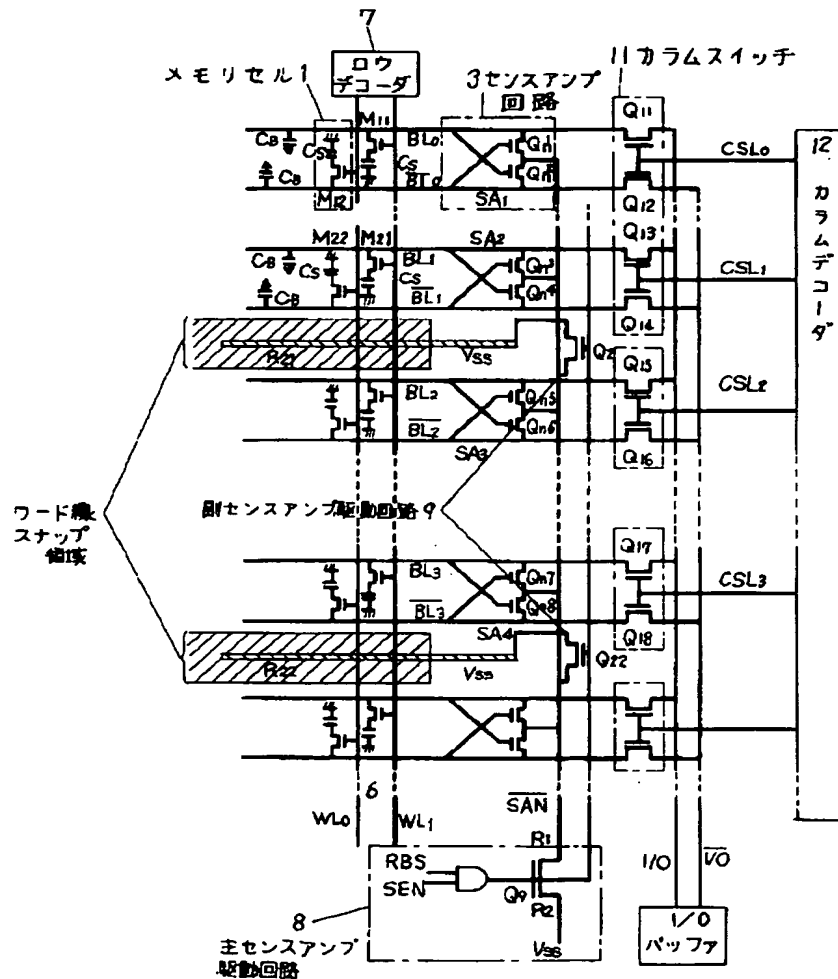
【符号の説明】

- 1 メモリセル
- 2 メモリセルアレイ領域
- 3 センスアンプ
- 4 センスアンプ回路列領域

- 6 ワード線
- 7 ロウデコーダ
- 8 主センスアンプ駆動回路
- 9 副センスアンプ駆動回路
- 10 ワード線スナップ領域
- 11 カラムスイッチ
- 12 カラムデコーダ
- 14 接地線
- 15 電源線

10

【図4】







【図2】

